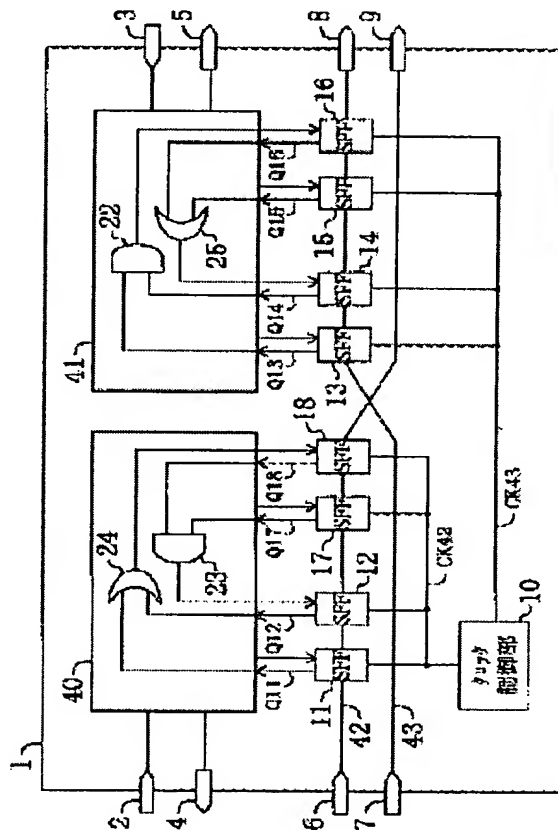


Patent number:	JP2001165996
Publication date:	2001-06-22
Inventor:	TAKEOKA SADAMI; OTA MITSUHO
Applicant:	MATSUSHITA ELECTRIC IND CO LTD
Classification:	
International:	G01R31/28
European:	
Application number:	JP19990347062 19991207
Priority number(s):	JP19990347062 19991207

Abstract of JP2001165996

PROBLEM TO BE SOLVED: To suppress the power consumption of all operations low without causing a malfunction when a scan-designed semiconductor integrated circuit is inspected. **SOLUTION:** Each of scan flip flops 11, 12, 17 and 18 on a scan chain 42, and each of scan flip flops 13, 14, 15 and 16 on the other scan chain 43 do not have a connection relations via combined circuit parts 40 and 41. At a scan test time, a clock control part 10 supplies independently controlled clocks CK42 and CK43 to the scan chains 42 and 43, whereby the scan chains 42 and 43 operate independently of each other at any operation of shift-in, capture and shift-out.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-165996

(P2001-165996A)

(43)公開日 平成13年6月22日(2001.6.22)

(51)Int.Cl.⁷

G 0 1 R 31/28

識別記号

F I

C 0 1 R 31/28

テーマコード(参考)

C 2 G 0 3 2

審査請求 未請求 請求項の数 4 O L (全 15 頁)

(21)出願番号 特願平11-347062

(22)出願日 平成11年12月7日(1999.12.7)

(71)出願人 000003821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 竹岡 貞巳

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 太田 光保

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 10007/931

弁理士 前田 弘 (外1名)

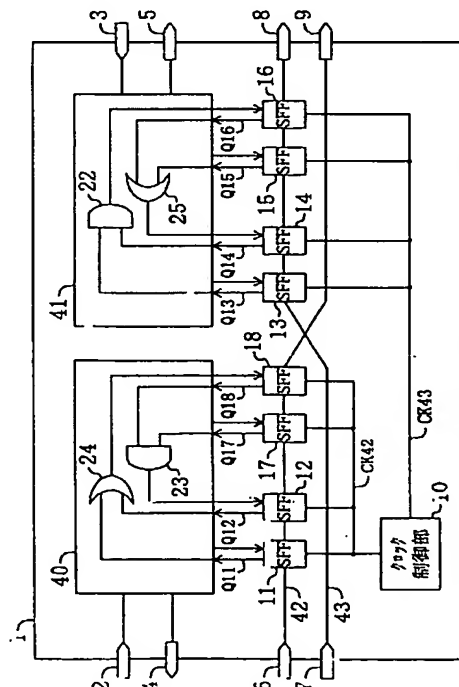
Fターム(参考) 2G032 AC10 AG07 AK15 AK16 AL00

(54)【発明の名称】 半導体集積回路並びにその設計方法及び検査方法

(57)【要約】

【課題】 スキャン設計された半導体集積回路の検査時における全動作の電力消費を、誤動作を生じることなく低く抑える。

【解決手段】 スキャンチェーン42上の各スキャンフリップフロップ11、12、17、18と、他のスキャンチェーン43上の各スキャンフリップフロップ13、14、15、16とは、互いに組み合わせ回路部40、41を介した接続関係を持たない。スキャンテスト時に、クロック制御部10は両スキャンチェーン42、43にそれぞれ独立に制御されたクロックCK42、CK43を供給し、シフトイン、キャプチャ、シフトアウトのいずれの動作においても、両スキャンチェーン42、43が互いに独立に動作する。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 組み合わせ回路部と、

各々1つ以上のスキャンチェーンから構成された複数のスキャンチェーングループと、
前記複数のスキャンチェーングループの各々に供給するクロックを選択的に制御するためのクロック制御部とを備えた半導体集積回路であって、

前記複数のスキャンチェーングループの各々は、互いに他のスキャンチェーングループと前記組み合わせ回路部を介した接続関係を持たないか又は接続が所定数以下であることを特徴とする半導体集積回路。

【請求項2】 組み合わせ回路部と複数のフリップフロップとを有する半導体集積回路の設計方法であって、
前記複数のフリップフロップを、互いに他のフリップフロップグループと前記組み合わせ回路部を介した接続関係を持たないか又は接続が所定数以下となるように、複数のフリップフロップグループにグループ分けをするステップと、

前記複数のフリップフロップグループを、それぞれ1つのスキャンチェーングループに変換するステップとを備えたことを特徴とする半導体集積回路の設計方法。

【請求項3】 請求項1記載の半導体集積回路の検査を行うための方法であって、

前記複数のスキャンチェーングループに選択的にクロックを供給する操作を繰り返すことにより、前記複数のスキャンチェーングループの各々にスキャンイン動作をさせるステップと、

前記複数のスキャンチェーングループに選択的にクロックを供給することにより、前記複数のスキャンチェーングループの各々にキャプチャ動作をさせるステップと、
前記複数のスキャンチェーングループに選択的にクロックを供給する操作を繰り返すことにより、前記複数のスキャンチェーングループの各々にスキャンアウト動作をさせるステップとを備えたことを特徴とする半導体集積回路の検査方法。

【請求項4】 請求項1記載の半導体集積回路の検査を行うための方法であって、

前記複数のスキャンチェーングループに互いに所定量の時間差を持ってクロックを順次供給する操作を繰り返すことにより、前記複数のスキャンチェーングループの各々にスキャンイン動作をさせるステップと、

前記複数のスキャンチェーングループに互いに所定量の時間差を持ってクロックを順次供給することにより、前記複数のスキャンチェーングループの各々にキャプチャ動作をさせるステップと、

前記複数のスキャンチェーングループに互いに所定量の時間差を持ってクロックを順次供給する操作を繰り返すことにより、前記複数のスキャンチェーングループの各々にスキャンアウト動作をさせるステップとを備えたことを特徴とする半導体集積回路の検査方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、スキャン設計された半導体集積回路とその設計方法及び検査方法とに関し、特に検査時における省電力化に関するものである。

【0002】

【従来の技術】半導体集積回路の消費電力を増大させる要因として、回路中のクロック、フリップフロップの動作などが挙げられる。このため、使用されていない機能ブロックへのクロックの供給を止め、同時に動作する機能ブロックの数を削減することで、半導体集積回路の省電力化が図られている。

【0003】一方、製造された半導体集積回路に故障がないかどうかを検査する方法として、予め作成しておいたテストデータを入力した際に所定の出力が得られるかどうかを判定する検査方法が広く知られている。この際、回路中のフリップフロップの値を外部から設定しやすく、また観測しやすくするために、フリップフロップの一部又は全部をスキャンフリップフロップに置き換える、いわゆるスキャン設計が行われる。通例、これらスキャンフリップフロップは、複数のスキャンチェーンを構成するように互いに接続される。

【0004】スキャン設計がなされた従来の半導体集積回路では、検査時に各々のスキャンチェーンに対して一斉にクロックを動かし、テストデータの同時スキャンイン、同時スキャンアウトが行われていた。したがって、使用されていない機能ブロックのクロックを止めることによって省電力化がなされている半導体集積回路に対して、このようなスキャンテストを適用すると、検査時に通常動作以上の電力が消費されることとなり、電源電圧降下のために回路が誤動作したり、最悪の場合には回路破壊の恐れがあるなどの問題があった。

【0005】これらの問題の1つの解決策は、特開平10-197603号公報に示された技術である。この従来技術によれば、回路中のスキャンチェーンを複数のスキャンチェーングループにグループ分けをし、検査時には、スキャンチェーングループごとに選択的にシフト動作（シフトイン動作及びシフトアウト動作）のためのクロックを供給することで、同時に動作するスキャンフリップフロップの数を低減する。

【0006】

【発明が解決しようとする課題】ところが、上記従来技術によれば、複数のスキャンチェーングループの各々が実際には互いに他のスキャンチェーングループと組み合わせ回路部を介した密接な接続関係を持っているので、検査時に誤動作なくキャプチャ動作を遂行するためには複数のスキャンチェーングループを一斉に動作させざるを得ず、キャプチャ動作時の消費電力が大きくなってしまいうという問題があった。

【0007】本発明の目的は、スキャン設計された半導

体集積回路の検査時における全動作の電力消費を、誤動作を生じることなく低く抑えることにある。

【0008】

【課題を解決するための手段】上記目的を達成するため、本発明の半導体集積回路は、組み合わせ回路部と、各々1つ以上のスキャンチェーンから構成された複数のスキャンチェーングループと、前記複数のスキャンチェーングループの各々に供給するクロックを選択的に制御するためのクロック制御部とを備えた半導体集積回路であって、前記複数のスキャンチェーングループの各々は、互いに他のスキャンチェーングループと前記組み合わせ回路部を介した接続関係を持たないか又は接続が所定数以下であることとしたものである。

【0009】本発明の半導体集積回路は、組み合わせ回路部と複数のフリップフロップとを有する回路構成から、前記複数のフリップフロップを互いに他のフリップフロップグループと前記組み合わせ回路部を介した接続関係を持たないか又は接続が所定数以下となるように複数のフリップフロップグループにグループ分けをするステップと、前記複数のフリップフロップグループをそれぞれ1つのスキャンチェーングループに変換するステップとを備えた設計方法により設計することができる。

【0010】上記本発明の半導体集積回路の検査は、前記複数のスキャンチェーングループに選択的にクロックを供給する操作を繰り返すことにより前記複数のスキャンチェーングループの各々にスキャンイン動作をさせるステップと、前記複数のスキャンチェーングループに選択的にクロックを供給することにより前記複数のスキャンチェーングループの各々にキャプチャ動作をさせるステップと、前記複数のスキャンチェーングループに選択的にクロックを供給する操作を繰り返すことにより前記複数のスキャンチェーングループの各々にスキャンアウト動作をさせるステップとを備えた検査方法により遂行できる。これにより、誤動作を生じることなく検査時における全動作の電力消費を低く抑えることができる。

【0011】消費電力の低減に加えてテストパターン数及び検査時間の低減のためには、上記本発明の半導体集積回路の検査にあたり、前記複数のスキャンチェーングループに互いに所定量の時間差を持ってクロックを順次供給する操作を繰り返すことにより前記複数のスキャンチェーングループの各々にスキャンイン動作をさせるステップと、前記複数のスキャンチェーングループに互いに所定量の時間差を持ってクロックを順次供給することにより前記複数のスキャンチェーングループの各々にキャプチャ動作をさせるステップと、前記複数のスキャンチェーングループに互いに所定量の時間差を持ってクロックを順次供給する操作を繰り返すことにより前記複数のスキャンチェーングループの各々にスキャンアウト動作をさせるステップとを備えた検査方法を採用すればよい。

【0012】

【発明の実施の形態】以下、図面を参照しながら、本発明の実施の形態を説明する。

【0013】図1は、本発明に係る半導体集積回路の構成例を示している。図1において、1は半導体集積回路、2、3は外部入力端子、4、5は外部出力端子、6、7はスキャンイン端子、8、9はスキャンアウト端子、10はクロック制御部、11～18はスキャンフリップフロップ(SFF)、22、23はANDゲート、24、25はORゲート、40、41は組み合わせ回路部、42、43はスキャンチェーンを示す。Q11～Q18は、各スキャンフリップフロップ11～18の値である。2つのスキャンチェーン42、43は、各々1つのスキャンチェーングループを構成している。CK42、CK43は、クロック制御部10から供給される、各スキャンチェーングループのクロックである。この半導体集積回路1では、2つのスキャンチェーングループの各々が、互いに他のスキャンチェーングループと組み合わせ回路部40、41を介した接続関係を持たない。

【0014】図2は、図1の半導体集積回路1のスキャン設計前の段階の回路図である。図2中の1～25は図1と同じものを示し、また51～58はフリップフロップ(FF)を示す。

【0015】図3は、図1の半導体集積回路1の設計方法の一例を示している。図3において、101は全く未処理のフリップフロップが存在するかどうかの判定、102は未処理のフリップフロップのうち1個を選択して新規のフリップフロップグループへ登録する処理、103はフリップフロップグループ中に未処理のフリップフロップが存在するかどうかの判定、104はフリップフロップグループ中の未処理のフリップフロップを1個選択する処理、105はステップ104で選択したフリップフロップの出力から到達可能なフリップフロップと、ステップ104で選択したフリップフロップの入力へ到達可能なフリップフロップとを全てフリップフロップグループへ登録する処理、106はスキャン設計を行う処理であり、最終的に得られたフリップフロップグループをそれぞれスキャンチェーングループに変換する処理を示す。なお、ステップ105では、登録しようとしたフリップフロップが既に登録済みである場合には無視して登録を行わない。

【0016】ここで、図2に示したスキャン設計を施す前の回路に対して図3の設計方法を適用した例を詳細に説明する。

【0017】まずステップ101において、フリップフロップ51～58が未処理であるため、次にステップ102において、任意選択を行いフリップフロップ51を選択する。また同時に、選択したフリップフロップ51を新規のフリップフロップグループである第1のフリップフロップグループへ登録する。次にステップ103